



PATENT
2557-000155/US

THE UNITED STATES PATENT AND TRADEMARK OFFICE

Application No.: 10/646,718
Filing Date: August 25, 2003
Applicants: Jong-hyoung LIM et al.
Title: SEMICONDUCTOR TEST SYSTEM AND METHOD
OF OPERATING THE SAME

PRIORITY LETTER

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 23, 2004

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

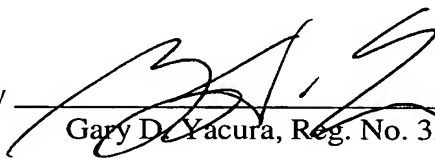
<u>Application No.</u>	<u>Date Filed</u>	<u>Country</u>
10-2003-0013429	March 4, 2003	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By


Gary D. Yacura, Reg. No. 35,416

GDY:jcp

P.O. Box 8910
Reston, Virginia 20195
(703) 668-8000

Enclosure:



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0013429
Application Number

출원년월일 : 2003년 03월 04일
Date of Application MAR 04, 2003

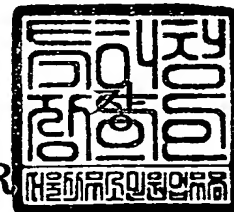
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0026
【제출일자】	2003.03.04
【국제특허분류】	H03K
【발명의 명칭】	지연동기 루프를 구비하는 반도체 장치 및 지연동기 루프 제어방법
【발명의 영문명칭】	Semiconductor device having delay locked loop and method for controlling the delay locked loop
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	임종형
【성명의 영문표기】	LIM, Jong Hyung
【주민등록번호】	690217-1807811
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골 두산아파트 806동 1502호
【국적】	KR
【발명자】	
【성명의 국문표기】	성희경
【성명의 영문표기】	SUNG, Hui Kyung
【주민등록번호】	760311-1074213

【우편번호】 135-271

【주소】 서울특별시 강남구 도곡1동 945-6

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	27 면	27,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	23 항	845,000 원
【합계】		901,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

지연동기 루프를 구비하고, 리프레쉬 모드에서 전력소모를 극소화할 수 있는 반도체 장치 및 상기 반도체 장치의 리프레쉬 동작 제어방법이 개시된다. 상기 지연동기루프를 구비하는 반도체 장치는 제1리프레쉬 모드; 및 제2리프레쉬 모드를 구비하며, 상기 지연동기루프는 상기 제1리프레쉬 모드에서 상기 제1리프레쉬 모드로 진입하기 전에 설정된 동기정보를 유지하고, 상기 지연동기루프는 상기 제2리프레쉬 모드에서 리셋된다. 상기 반도체 장치는 퓨즈나 MRS에 의하여 초기에 설정된 대응되는 리프레쉬 신호에 응답하여 상기 제1리프레쉬 모드 및 상기 제2리프레쉬 모드를 수행하고, 상기 제1리프레쉬 모드를 수행하는 도중에 발생된 제2리프레쉬 신호에 응답하여 상기 제2리프레쉬 모드를 수행한다.

【대표도】

도 6

【색인어】

반도체 메모리 장치, 리프레쉬



【명세서】

【발명의 명칭】

지연동기 루프를 구비하는 반도체 장치 및 지연동기 루프 제어방법{Semiconductor device having delay locked loop and method for controlling the delay locked loop}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래의 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다.

도 2는 도 1에 도시된 DLL의 개략적인 회로도를 나타낸다.

도 3은 도 2에 도시된 DLL을 구성하는 각 유닛에 포함된 리셋회로를 나타낸다.

도 4는 도 1에 도시된 DLL 전압 발생기의 회로도를 나타낸다.

도 5는 반도체 메모리 장치의 일반적인 리프레쉬 동작을 개략적으로 설명하기 개념도이다.

도 6은 본 발명의 제1실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다.

도 7은 도 6에 도시된 DLL의 개략적인 회로도를 나타낸다.

도 8은 도 6에 도시된 MRS신호 발생기의 동작을 나타내는 타이밍도이다.

도 9는 도 6에 도시된 제어신호 발생회로의 회로도를 나타낸다.

도 10은 본 발명의 제1실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 제1타이밍도이다.

도 11은 본 발명의 제1실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 제2타이밍도이다.

도 12는 본 발명의 제2실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다.

도 13은 본 발명의 제3실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다.

도 14는 도 13에 도시된 선택신호 발생회로의 회로도를 나타낸다.

도 15는 본 발명의 제4실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다.

도 16은 본 발명의 제5실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다.

도 17은 도 15 및 도 16에 도시된 제어신호 발생회로의 회로도를 나타낸다.

도 18은 본 발명의 제4실시예 및 제5실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 타이밍도이다.

도 19는 본 발명의 제6실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다.

도 20은 도 19에 도시된 제어신호 발생회로의 회로도를 나타낸다.

도 21은 도 19에 도시된 DLL의 개략적인 회로도를 나타낸다.

도 22는 본 발명의 제6실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<24> 본 발명은 지연동기루프(Delay Locked Lop; DLL)를 구비하는 반도체 장치 및 상기 지연동기루프의 동작을 제어하는 방법에 관한 것으로, 보다 상세하게는 반도체 장치의 리프레쉬 모드에서 동기정보를 저장하는 지연동기루프를 선택적으로 리셋할 수 있는 반도체 장치 및 상기 지연동기 루프의 동작을 제어하는 방법에 관한 것이다.

<25> 반도체 장치가 발전함에 따라 저-전력 소모 기술도 같이 발전되고 있다. 특히, DRAM을 구비하는 반도체 메모리 장치의 경우 메모리 셀에 저장된 전하(또는 데이터)를 장시간 유지시키기 위하여 리프레쉬 동작이 필요하며, 상기 리프레쉬 동작을 수행하는 반도체 메모리 장치의 소모전력을 극소화하기 위한 셀프 리프레쉬 동작이 표준화되어 있다.

<26> 일반적으로, 셀프 리프레쉬 동작(self-refresh operation)이란 DRAM 등의 휘발성 반도체 메모리장치가 대기상태(standby)에서 메모리 셀내에 저장된 전하(또는 데이터)를 유지하기 위해 자체적으로 상기 반도체 장치의 내부에서 일정한 주기로 리프레쉬를 수행하는 것을 의미한다.

<27> 도 1은 종래의 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다. 도 1을 참조하면, 반도체 메모리 장치(100)는 커멘드 디코더(110), 제어신호 발생회

로(120), DLL(130), DLL전압 발생기(140), 로우 디코더(150) 및 오실레이터(160)를 구비한다.

<28> 일반적으로 반도체 메모리 장치(100)는 리프레쉬 모드(refresh mode)에서 리프레쉬 동작을 수행한다. 커맨드 디코더(110)는 리프레쉬를 수행하기 위한 명령들 (REFRESH)을 수신하고, 디코딩하여 리프레쉬 신호(PREF)를 발생하고, 발생된 리프레쉬 신호(PREF)를 제어신호 발생회로(120), 로우 디코더(150) 및 오실레이터(160)로 출력한다.

<29> 반도체 메모리 장치(100)에서 리프레쉬를 수행하기 위한 명령들(REFRESH)은 일반적으로 당업계에 잘 알려진 바와 같이 클락신호, 칩 선택신호, 로우 어드레스 스트로브신호, 컬럼 어드레스 스트로브 신호 및 기입 인에이블 신호들을 포함한다.

<30> 일반적으로 리프레쉬 신호(PREF)는 반도체 메모리 장치가 리프레쉬 모드로 진입하는 경우(ENTER) 활성화(예컨대 논리 '하이(high)')되고, 상기 반도체 메모리 장치가 상기 리프레쉬 모드로부터 빠져나오는 경우(EXIT) 비활성화(예컨대 논리 '로우(low)')된다.

<31> 제어신호 발생회로(120)는 리프레쉬 신호(PREF)에 응답하여 리셋신호(RESET) 및 전원제어신호(POFF)를 발생한다. 여기서 리셋신호(RESET)는 DLL(130)을 초기화(또는 리셋)시키기 위한 신호이고, 전원제어신호(POFF)는 전압발생기(140)의 동작을 제어하기 위한 신호이다.

<32> DLL전압발생기(140)는 전원제어신호(POFF)에 응답하여 내부전압(IVC_DLL)을 발생하고, 발생된 내부전압(IVC_DLL)을 DLL(130)로 공급한다. 내부전압(IVC_DLL)은 기준전압(VREF_DLL)에 상응하는 전압(예컨대 2.4볼트) 또는 접지전압(예컨대 0볼트)이다.

- <33> 지연동기루프(130)는 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 발생한다. 지연동기루프(130)의 일반적인 구조 및 동작은 당업계에서 잘 알려져 있으므로 이에 대한 상세한 설명은 생략한다.
- <34> 리프레쉬 모드(즉, 리프레쉬 신호(PREF)가 활성화 상태를 유지하는 동안)에서 오실레이터(160)는 리프레쉬 신호(PREF)에 응답하여 소정의 펄스(POSC)를 주기적으로 발생하고, 발생된 펄스(POSC)를 로우 디코더(150)로 출력한다.
- <35> 리프레쉬 모드에서 로우 디코더(150)는 리프레쉬 신호(PREF) 및 펄스(POSC)에 응답하여 워드라인(WL)을 활성화하기 위한 소정의 신호들을 발생하고, 상기 신호를 대응되는 워드라인(WL)으로 출력한다.
- <36> 도 2는 도 1에 도시된 DLL의 개략적인 회로도를 나타낸다. 도 2에 도시된 DLL(140)는 가변지연 유닛(1310), 복사지연 유닛(replica delay unit; 1320), 및 위상 비교기(1340)를 구비한다. 리셋신호(RESET) 및 전원전압(IVC_DLL)은 DLL(130)로 공급된다.
- <37> 가변지연 유닛(1310)은 제어신호(PD)에 응답하여 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 발생시킨다. 복사 지연 유닛(1320)은 내부 클락신호(ICLK)를 소정 시간만큼 지연시켜 피드백 클락신호(FCLK)를 출력한다.
- <38> 위상 비교기(1340)는 외부 클락신호(ECLK)의 위상과 복사 지연 유닛(1320)으로부터 출력되는 피드백 클락신호(FCLK)의 위상을 비교하고, 두 신호들(ECLK, FCLK)의 위상차이에 상응하는 제어신호(PD)를 지연제어유닛(1310)으로 출력한다.

- <39> 도 3은 도 2에 도시된 DLL을 구성하는 각 유닛에 포함된 리셋회로를 나타낸다. 도 3에 도시된 리셋회로는 가변지연 유닛(1310), 복사지연유닛(1320), 및 위상 비교기(1340)들 중에서 적어도 하나이상의 회로(1310, 1320, 1340)내부에 존재한다.
- <40> 도 3에 도시된 리셋회로는 리셋신호(RESET)에 의하여 각 노드(N1)가 어떻게 초기화되는지를 설명하기 위한 개념적인 회로이다. 입력신호(IN)는 스위칭 신호들 (S, /S) 및 전송회로(TG)에 의하여 노드(N1)로 전송되고, 인버터들(301, 303)로 구성된 래치에 의하여 노드(N1)의 신호는 유지된다.
- <41> 리셋신호(RESET)가 활성화되는 경우, NOS트랜지스터(305)는 턴-온(turn on)되므로, 노드(N1)의 전압레벨은 접지전압(VSS)레벨로 풀-다운된다. 따라서 각 유닛 (1310, 1320, 1340)은 리셋된다.
- <42> 도 4는 도 1에 도시된 DLL 전압 발생기의 회로도를 나타낸다. 도 4를 참조하면, DLL전압 발생기(140)는 제어신호 발생회로(120)로부터 출력되는 전압제어신호 (POFF)에 응답하여 기준전압(VREF_DLL)에 상응하는 전원전압(IVC_DLL) 또는 접지전압(VSS)에 상응하는 전원전압(IVC_DLL)을 DLL(130)로 공급한다.
- <43> 예컨대 전압제어신호(POFF)가 논리 하이인 경우, NMOS 트랜지스터(411)는 턴-온되므로, 전원전압(IVC_DLL)은 접지전압(VSS)레벨로 풀-다운된다. 또한, 각 PMOS 트랜지스터(405, 407)는 인버터(401)의 출력신호에 응답하여 턴-온되므로, 각 노드(403, 409)는 전원전압(VDD)으로 등화(equalization)된다.
- <44> 그러나, 전압제어신호(POFF)가 논리 로우인 경우, NMOS 트랜지스터(411)는 턴-오프되므로, 전원전압(IVC_DLL)은 기준전압레벨(VREF_DLL)에 상응하는 레벨을 갖는다.

- <45> 도 5는 반도체 메모리 장치의 일반적인 리프레쉬 동작을 개략적으로 설명하기 개념도이다. 도 1 및 도 5를 참조하면, 리프레쉬 모드에서 반도체 메모리 장치(200)의 각 워드라인(WL1, WL2, WL3, ..., WLn-1, WLn)은 로우 디코더(150)로부터 순차적으로 출력되는 소정의 신호에 응답하여 셀 데이터를 각각 복구한다.
- <46> 리프레쉬 모드에서 제어신호 발생회로(120)는 리프레쉬 신호(PREF)에 응답하여 활성화된 리셋신호(RESET) 및 활성화된 전원제어신호(POFF)를 각각 출력한다. 따라서 DLL 전압 발생기(140)는 활성화된 전원제어신호(POFF)에 응답하여 비활성화되므로, DLL(130)로 공급되는 내부전압(IVC_DLL)은 0볼트이다. 따라서 DLL(130)은 비활성화된다. 또한, DLL(130)은 활성화된 리셋신호(RESET)에 응답하여 초기화되므로, 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 출력하기 위한 정보(이를 '동기정보 또는 락킹(locking) 정보'라 한다.)는 모두 소실된다.
- <47> 따라서 반도체 메모리 장치(100)가 리프레쉬 모드에서 빠져나오는 경우(EXIT), DLL(130)은 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 발생하기 위하여 적어도 외부 클락신호(ECLK)의 200주기이상을 필요로 한다. 이러한 과정을 파워-업 시이퀀스(power-up sequence)라 한다. 즉, DLL(130)은 파워-업 시이퀀스를 수행한 후, 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 출력한다.
- <48> 따라서 종래의 반도체 메모리 장치(100)가 리프레쉬 모드로 진입하는 경우(ENTER), DLL(130)은 리셋신호(RESET)에 의하여 초기화되고 전압 발생기(140)는 전원제어신호(POFF)에 의하여 비활성화되므로, 반도체 메모리 장치(100)가 리프레쉬 모드로부터 빠져나오는 경우(EXIT), DLL(130)은 반드시 상기 파워-업 시이퀀스를 수행해야 하므로, 상기

파워-업 시퀀스를 자주 수행하는 DLL(130)을 구비하는 반도체 메모리 장치(100)의 소비전력은 증가한다.

<49> 즉, 반도체 메모리 장치(100)는 리프레쉬 모드로부터 빠져나올 때마다 DLL(130)이 정상적으로 동작할 수 있을 때까지 파워-업 시퀀스를 수행해야 하므로, DLL(130)을 구비하는 반도체 메모리 장치(100)의 효율 및 성능은 저하된다.

【발명이 이루고자 하는 기술적 과제】

<50> 따라서 본 발명이 이루고자 하는 기술적인 과제는 리프레쉬 모드에서 선택적으로 동기정보를 유지하거나 상기 동기정보를 리셋할 수 있는 DLL을 구비하는 반도체 장치 및 상기 DLL의 동작을 제어하는 방법을 제공하는 것이다.

<51> 또한, 본 발명이 이루고자하는 다른 기술적인 과제는 상기 DLL을 구비하는 반도체 장치의 리프레쉬 동작을 제어하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<52> 본 발명에 따른 지연동기루프를 구비하는 반도체 장치는 제1리프레쉬 모드; 및 제2리프레쉬 모드를 구비하며, 상기 지연동기루프는 상기 제1리프레쉬 모드에서 상기 제1리프레쉬 모드로 진입하기 전에 설정된 동기정보를 유지하고, 상기 지연동기루프는 상기 제2리프레쉬 모드에서 리셋된다.

<53> 지연동기루프를 구비하는 반도체 장치는 제1리프레쉬 모드; 및 제2리프레쉬 모드를 구비하며, 상기 제1리프레쉬 모드에서 상기 지연동기루프는 외부 클락신호에 동기된 제1 내부 클락신호를 출력하고, 상기 제2리프레쉬 모드에서 상기 지연동기루프는 일정한 전압레벨을 갖는 제2내부 클락신호를 출력한다.



- <54> 상기 지연동기루프는 상기 반도체 장치가 상기 제2리프레쉬 모드로부터 빠져나온 경우만 파워-업 시이퀀스를 수행한다. 상기 반도체 장치는 상기 제1리프레쉬 모드가 소정시간이상 지속된 후 상기 제2리프레쉬 모드로 진입한다.
- <55> 본 발명에 따른 반도체 장치는 리프레쉬 모드에서 선택신호에 응답하여 리셋신호를 발생하는 제어신호 발생회로; 및 상기 리프레쉬 모드에서 상기 리셋신호에 응답하여 외부 클락에 동기된 내부 클락신호를 발생하거나 또는 리셋되는 지연동기루프를 구비한다.
- <56> 본 발명에 따른 지연동기루프의 동작을 제어하는 방법은 선택신호를 발생하는 단계; 상기 선택신호에 응답하여 상기 지연동기루프를 구비하는 반도체 장치가 제1 리프레쉬 모드 및 제2리프레쉬 모드 중에서 어느 하나의 모드를 수행하는 단계; 및 상기 제1 리프레쉬 모드에서 상기 지연동기루프는 외부 클락신호에 동기된 제1내부 클락신호를 출력하고, 상기 제2리프레쉬 모드에서 상기 지연동기루프는 일정한 전압레벨을 갖는 제2내부 클락신호를 출력하는 단계를 구비한다.
- <57> 본 발명에 따른 지연동기 루프를 구비하는 반도체 장치의 리프레쉬 동작을 제어하는 방법은 리프레쉬 모드에서 선택신호에 응답하여 리셋신호를 발생하는 단계; 및 상기 리프레쉬 모드에서 상기 지연동기 루프는 상기 리셋신호에 응답하여 상기 리프레쉬 모드로 진입하기 전에 상기 지연동기루프에 저장된 동기정보를 유지하거나 또는 리셋되는 프로세싱 단계를 구비한다.
- <58> 본 발명에 따른 반도체 장치는 지연동기루프; 상기 지연동기루프에 전원전압을 공급하는 전압발생기; 리프레쉬 모드에서 선택신호에 응답하여 발생된 리셋신호를 상기 지연동기 루프로 출력하는 제어신호 발생회로를 구비하며, 상기 지연동기루프는 상기 리셋



신호에 응답하여 상기 리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 또는 리셋된다.

<59> 본 발명에 따른 반도체 장치는 지연동기루프; 상기 지연동기루프에 전원전압을 공급하는 전압 발생기; 명령들을 디코딩하여 상기 반도체 장치의 리프레쉬 모드의 시작과 종료를 제어하기 위한 리프레쉬 명령신호를 발생하는 커맨드 디코더; MRS명령들 및 소정의 어드레스를 디코딩하여 선택신호를 발생하는 선택신호 발생회로; 및 상기 리프레쉬 명령신호 및 상기 선택신호에 응답하여 발생된 리셋신호를 상기 지연동기루프로 출력하는 제어신호 발생회로를 구비하며, 상기 지연동기루프는 상기 리셋신호에 응답하여 상기 리프레쉬 모드가 시작되기 전에 설정된 동기정보를 유지하거나 리셋된다.

<60> 본 발명에 따른 반도체 장치는 지연동기루프; 상기 지연동기루프에 전원전압을 공급하는 전압 발생기; 명령들을 디코딩하여 상기 반도체 장치의 리프레쉬 모드의 시작과 종료를 제어하기 위한 리프레쉬 명령신호를 발생하는 커맨드 디코더; 선택신호를 수신하는 입력 핀; 및 상기 리프레쉬 명령신호 및 상기 선택신호에 응답하여 리셋신호를 상기 전압 발생기로 출력하는 제어신호 발생회로를 구비하며, 상기 지연동기루프는 상기 리셋신호에 응답하여 상기 리프레쉬 모드가 시작되기 전에 설정된 동기정보를 유지하거나 리셋된다.

<61> 본 발명에 따른 반도체 장치는 지연동기루프; 상기 지연동기루프에 전원전압을 공급하는 전압 발생기; 제1명령들을 디코딩하여 제1리프레쉬 명령신호를 발생하는 제1커맨드 디코더; 제2명령들을 디코딩하여 제2리프레쉬 명령신호를 발생하는 제2커맨드 디코더; 상기 제1리프레쉬 명령신호와 상기 제2리프레쉬 명령신호에 응답하여 리셋 신호 및 전압제어신호를 출력하는 제어신호 발생회로를 구비하며, 상기 지연동기루프는 상기



리셋신호에 응답하여 상기 리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 리셋된다.

<62> 본 발명에 따른 반도체 장치는 지연동기루프; 상기 지연동기루프에 전원전압을 공급하는 전압발생기; 명령들을 디코딩하여 제1셀프 리프레쉬 명령신호를 발생하는 커맨드 디코더; 제2리프레쉬 명령신호를 수신하는 편; 상기 제1리프레쉬 신호와 상기 제2리프레쉬 신호에 응답하여 리셋신호 및 전압제어신호를 출력하는 제어신호 발생회로를 구비하며, 상기 지연동기루프는 상기 리셋신호에 응답하여 상기 리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 리셋된다.

<63> 본 발명에 따른 반도체 장치는 지연동기루프; 상기 지연동기루프에 전원전압을 공급하는 전압 발생기; 명령들을 디코딩하여 상기 반도체 장치의 제1리프레쉬 모드의 시작과 종료를 제어하기 위한 제1리프레쉬 명령신호를 발생하는 커맨드 디코더; 상기 리프레쉬 명령신호에 응답하여 동작을 시작하고 소정의 펄스를 주기적으로 발생하고, 상기 제1리프레쉬 모드의 지속시간을 판단하고 그 판단결과로서 제2리프레쉬 모드의 시작을 지시하는 제2리프레쉬 명령신호를 발생하는 오실레이터; 상기 제1리프레쉬 신호 및 상기 제2리프레쉬 신호에 응답하여 리셋신호 및 전원제어신호를 발생하는 제어신호 발생회로를 구비하며, 상기 지연동기루프는 상기 리셋신호에 응답하여 상기 제1리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 리셋된다. 상기 전압발생기는 상기 지연동기루프가 리셋되는 경우 상기 전압제어신호에 응답하여 비활성화된다.

<64> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

- <65> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <66> 도 6은 본 발명의 제1실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다. 도 6을 참조하면, 반도체 메모리 장치(600)는 커맨드 디코더(610), MRS 신호 발생기(620), 제어신호 발생회로(630), DLL(640), DLL전압발생기(650), 로우 디코더(660) 및 오실레이터(670)를 구비한다.
- <67> 커맨드 디코더(610)는 명령들(REFRESH)을 수신하고, 디코딩하여 반도체 메모리 장치(600)의 리프레쉬 모드의 시작과 종료를 제어하기 위한 리프레쉬 신호(PREF)를 발생한다. 리프레쉬 신호(PREF)는 제어신호 발생회로(630), DLL (640), 로우 디코더(660) 및 오실레이터(670)로 입력된다.
- <68> 도 10을 참조하면, 리프레쉬 신호(PREF)는 리프레쉬 모드가 시작(또는 리프레쉬 모드로의 진입; ENTER)되는 경우 활성화(예컨대 논리 하이)되고 리프레쉬 모드가 종료(또는 리프레쉬 모드로부터 빠져 나옴; EXIT)되는 경우 비활성화(예컨대 논리 로우)된다. 따라서 리프레쉬 모드에서 리프레쉬 신호(PREF)는 활성화 상태를 유지한다.
- <69> 도 7은 도 6에 도시된 DLL의 개략적인 회로도를 나타낸다. 도 7에 도시된 DLL(640)은 두 개의 인버터들(6410, 6412), NAND 게이트(6411), 가변지연 유닛 (6430), 복사지연 유닛(6440) 및 위상 비교기(6420)를 구비한다. 리셋신호(RESET) 및 전원전압(IVC_DLL)은 DLL(640)로 공급된다.
- <70> 인버터(6410)는 리프레쉬 신호(PREF)를 반전시키고, NAND게이트(6411)는 인버터(6410)의 출력신호 및 외부 클락신호(ECLK)를 논리조합하고, 그 논리조합결과를 인버터

(6412)로 출력한다. 인버터(6412)는 NAND게이트(6411)의 출력신호를 반전시켜 클락신호 (CLK_DLL)를 가변지연 유닛(6430)으로 출력한다.

<71> 리프레쉬 신호(PREF)가 활성화되는 경우, 인버터(6412)의 출력신호인 클락신호 (CLK_DLL)는 외부 클락신호(ECLK)의 상태에 무관하게 비활성화(논리 '로우')된다. 따라서 가변지연 유닛(6430)은 갱신(update)되지 않고, 가변 지연유닛(6430)에 저장된 동기 정보는 그대로 유지된다, 여기서 동기정보(또는 DLL의 락킹정보 (locking information)는 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 발생하기 위하여 가변지연 유닛(6430)에 저장된 정보를 말한다.

<72> 가변지연 유닛(6430)은 위상비교기(6420)의 출력신호(PD)에 응답하여 클락신호 (CLK_DLL)를 적절하게 지연시켜 외부 클락신호(ECLK)에 동기된 내부 클락신호 (ICLK)를 발생한다. 도 7에 도시된 복사지연유닛(6440)과 위상비교기(6420)의 구조 및 동작은 도 2에 도시된 복사지연유닛(1320)과 위상비교기(1340)의 구조 및 동작과 동일하다.

<73> 도 8은 도 6에 도시된 MRS 신호 발생기의 동작을 나타내는 타이밍도이다. 도 6 및 도 8을 참조하면, MRS신호 발생기(320)는 MRS명령들(Mode Register Set Commands) 및 소정의 어드레스(ADD)를 수신하고 디코딩하여 선택신호(PMRS)를 발생한다. MRS명령들은 외부 클락신호(ECLK), 칩 선택신호(/CS), 로우 어드레스 스트로브 신호(/RAS), 컬럼 어드레스 스트로브 신호(/CAS), 및 기입 인에이블 신호(/WE)의 조합으로 이루어진다. 여기서 "/"는 액티브 로우를 의미한다.

<74> 선택신호(PMRS)가 논리 하이("H")인 경우(경우 I)를 제1리프레쉬 모드라 하고, 논리 로우("L")인 경우를 제2리프레쉬 모드라 한다. 따라서 본 발명에 따른 반도체 장치

(600)는 선택신호(PMRS)의 논리 상태에 따라 제1리프레쉬 모드를 수행하거나 제2리프레쉬 모드를 수행한다.

<75> 도 9는 도 6에 도시된 제어신호 발생회로의 회로도를 나타낸다. 도 9를 참조하면, 제어신호 발생회로(630)는 리프레쉬 신호(PREF) 및 선택신호(PMRS)에 응답하여 리셋신호(RESET) 및 전원제어신호(POFF)를 발생한다. 제어신호 발생회로(630)는 다수개의 논리 게이트들(901 내지 919)을 구비한다.

<76> 리셋신호(RESET)는 선택신호(PMRS) 및 NAND게이트(911)의 출력신호의 부정 논리합(NOR)에 의하여 발생된다. NAND 게이트(911)는 리프레쉬 신호(PREF) 및 인버터(909)의 출력신호를 수신한다. 인버터(905)는 리프레쉬 신호(PREF)를 반전시키고, 인버터(907)는 인버터(905)의 출력신호를 반전시키고, 인버터(909)는 인버터(907)의 출력신호를 반전시킨다.

<77> 인버터(915)는 리셋신호(RESET)를 반전시키고, NAND 게이트(917)는 인버터(915)의 출력신호 및 NAND 게이트(919)의 출력신호를 수신한다. NAND 게이트(919)는 NAND 게이트(917)의 출력신호 및 인버터(903)의 출력신호를 수신한다. 인버터(901)는 리프레쉬 신호(PREF)를 반전시키고, 인버터(903)는 인버터(901)의 출력신호를 반전시킨다. NAND게이트들(917, 919)은 래치를 구성한다.

<78> 즉, 전원제어신호(POFF)는 리셋신호(RESET) 및 리프레쉬 신호(PREF)의 논리 조합에 의하여 발생된다. 엄격히 말하면, 리프레쉬 신호(PREF)가 활성화 상태를 유지하는 리프레쉬 모드에서 리셋신호(RESET)는 선택신호(PMRS)에 응답하여 발생되고, 전원제어신호(POFF)는 리셋신호(RESET)에 응답하여 발생한다.

- <79> 도 10은 본 발명의 제1실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 제1타이밍도이다. 도 6 내지 도 10을 참조하여 DLL(640)를 구비하는 반도체 장치(600)가 제1리프레쉬 모드로 동작하는 경우를 설명하면 다음과 같다.
- <80> 선택신호(PMRS)가 활성화되고, 명령들(REFRESH)의 조합에 의하여 반도체 메모리 장치(600)가 제1리프레쉬 모드로 진입하는 경우, 리프레쉬 신호(PREF)는 활성화된다.
- <81> 도 9의 제어신호 발생회로(630)는 활성화된 선택신호(PMRS)에 응답하여 비활성화("L")된 리셋신호(RESET)를 DLL(640)로 출력한다. 그 후 제어신호 발생회로(630)는 비활성화("L")된 리셋신호(RESET)에 응답하여 비활성화("L")된 전원제어신호(POFF)를 전압 발생기(650)로 출력한다.
- <82> 인버터(6412)의 출력신호(CLK_DLL)는 논리 로우이므로, 가변지연 유닛(6430)에 코딩되어 있는 동기 정보는 갱신되지 않고 그대로 유지된다.
- <83> 따라서 반도체 메모리 장치(600)의 DLL(640)에는 제1리프레쉬 모드로 진입하기 전에 설정된 동기정보는 그대로 유지된다. 즉, DLL(640)은 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 출력한다. 그러므로 반도체 메모리 장치(600)의 DLL(640)은 제1리프레쉬 모드로부터 빠져나온 뒤 파워-업 시퀀스를 수행하지 않아도 된다. 따라서 반도체 메모리 장치(600)의 효율 및 성능은 증가한다.
- <84> DLL전압 발생기(650)는 기준전압(VREF_DLL)에 상응하는 전압레벨(예컨대 2.4V)을 갖는 전원전압(IVC_DLL)을 DLL(640)로 출력한다. 로우 디코더(660)는 활성화된 리프레쉬 신호(PREF)에 응답하여 첫 번째 워드라인(WL1)을 활성화시키기 위한 펄스를 첫 번째 워드라인(WL1)으로 출력한다.

- <85> 또한, 오실레이터(670)는 활성화된 리프레쉬 신호(PREF)에 응답하여 첫 번째 펄스(01)를 발생하고, 첫 번째 펄스(01)는 로우 디코더(660)로 출력된다. 로우 디코더(660)는 오실레이터(670)로부터 출력되는 첫 번째 펄스(01)에 응답하여 두 번째 워드라인(WL2)을 활성화시키기 위한 펄스를 두 번째 워드라인(WL2)으로 출력한다.
- <86> 그리고 로우 디코더(660)는 오실레이터(670)로부터 출력되는 제(n-1)번째 펄스(O_{n-1})에 응답하여 제n번째 워드라인(WLn)을 활성화시키기 위한 펄스를 제n번째 워드라인(WLn)으로 출력한다.
- <87> 도 11은 본 발명의 제1실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 제2타이밍도이다. 도 6, 도 7, 도 9 및 도 11을 참조하여 DLL(640)을 구비하는 반도체 장치(600)가 제2리프레쉬 모드로 동작하는 경우를 설명하면 다음과 같다.
- <88> 선택신호(PMRS)가 비활성화("L")되고, 명령들(REFRESH)의 조합에 의하여 반도체 메모리 장치(600)가 제2리프레쉬 모드로 진입(ENTER)하는 경우 리프레쉬 신호(PREF)는 활성화된다.
- <89> 제어신호 발생회로(630)는 비활성화된 선택신호(PMRS)에 응답하여 펄스 형태의 리셋신호(RESET)를 DLL(640)로 출력한다. 그 후 제어신호 발생회로(630)는 펄스 형태의 리셋신호(RESET)에 응답하여 활성화("H")된 전원제어신호(POFF)를 전압 발생기(650)로 출력한다.
- <90> DLL(640)의 각 리셋회로(도 3참조)는 활성화("H")된 리셋신호(RESET)에 응답하여 초기화된다. 그리고 도 4에 도시된 DLL전압 발생기(650)의 NMOS 트랜지스터(411)는 활성화된 전원제어신호(POFF)에 턴-온되므로, DLL전압 발생기(650)는 접지전압(VSS)레벨을

갖는 전원전압(IVC_DLL)을 DLL(640)로 출력한다. 따라서 DLL(640)로 공급되는 전원전압(IVC_DLL)은 차단되므로, 내부 클락신호(ICLK)는 일정한 전압 레벨(예컨대 접지전압(VSS)레벨)을 갖는다.

<91> 선택신호(PMRS)가 비활성화("L")되면 DLL(640)은 리셋되고, 전압 발생기(650)는 비활성화되므로, DLL(640)에 저장되어 있던 동기정보는 모두 소실된다.

<92> 따라서 반도체 메모리 장치(600)가 제2리프레쉬 모드로부터 빠져나온 후 DLL(640)은 외부 클락신호(ECLK)와 동기된 내부 클락신호(ICLK)를 발생하기 위하여 파워-업 시퀀스(PS)를 반드시 수행해야 한다. 즉, 파워-업 시퀀스(PS)는 200tCK이상이 소요된다. 여기서 tCK는 외부 클락신호(ECLK)의 한 주기를 의미한다.

<93> 도 12는 본 발명의 제2실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다. 도 12를 참조하면, 반도체 메모리 장치(1200)의 외부로부터 입력되는 선택신호(PMRS)는 패드 또는 핀(1201)을 통하여 제어신호 발생회로(630)로 입력된다.

<94> 선택신호(PMRS)가 논리 하이인 경우, 반도체 메모리 장치(1200)의 동작은 도 10에 도시된 타이밍도와 같다. 그리고 선택신호(PMRS)가 논리 로우인 경우, 반도체 메모리 장치(1200)의 동작은 도 11에 도시된 타이밍도와 같다.

<95> 도 13은 본 발명의 제3실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다. 선택신호 발생회로(621)는 반도체 메모리 장치(1300)의 외부로부터 입력되는 파워-업 신호(PW_UP)에 응답하여 선택신호(PMRS)를 발생한다.



- <96> 제어신호 발생회로(630)는 제1리프레쉬 모드 및 제2리프레쉬 모드에서 선택신호 (PMRS)에 응답하여 리셋신호(RESET)를 DLL(640)로 출력하고, 전원제어신호 (POFF)를 전압 발생기(650)로 출력한다.
- <97> 도 14는 도 13에 도시된 선택신호 발생회로의 회로도를 나타낸다. 선택신호 발생회로(621)는 PMOS 트랜지스터(1401), 퓨즈(1405) 및 다수개의 인버터들(1407, 1409, 1411)을 구비한다.
- <98> PMOS 트랜지스터(1401)는 전원전압(VDD)과 노드(1403)사이에 접속되고, 파워-업 신호(PW_UP)는 PMOS 트랜지스터(1401)의 게이트로 입력된다. 퓨즈(1405)는 노드(1403)와 접지전압(VSS)사이에 접속된다.
- <99> 인버터(1407)의 입력단은 노드(1403)에 접속되고, 인버터(1409)는 인버터 (1407)의 출력단과 노드(1403)사이에 접속된다. 두 개의 인버터들(1407, 1409)은 래치를 구성한다. 인버터(1411)는 인버터(1407)의 출력신호를 반전시켜 선택신호 (PMRS)를 발생한다.
- <100> 파워-업 신호(PW_UP)는 논리 로우(low)에서 시작하여 소정의 시간이 경과한 후에 논리 하이(high)로 변하는 신호이다. 반도체 메모리 장치(1300)로 파워-업 신호(PW_UP)가 인가되고 퓨즈(1405)가 절단되지 않은 경우, 노드(1403)는 접지전압레벨(VSS)로 폴-다운되므로, 선택신호(PMRS)는 접지전압레벨(VSS), 즉 논리 로우이다. 그러나, 반도체 메모리 장치(1300)로 파워-업 신호(PW_UP)가 인가되고 퓨즈 (1405)가 절단되면, 노드 (1403)는 전원전압레벨(VDD)을 유지하므로, 선택신호(PMRS)는 논리 하이이다.
- <101> 따라서 선택신호(PMRS)가 논리 하이인 경우, 반도체 메모리 장치(1300)의 동작은 도 10에 도시된 타이밍도와 같다. 즉 리프레쉬 동작을 하는 경우 반도체 메모리 장치



(1300)는 제1리프레쉬 모드로 동작한다. 그리고 선택신호(PMRS)가 논리 로우인 경우, 반도체 메모리 장치(1300)의 동작은 도 11에 도시된 타이밍도와 같다. 즉 리프레쉬 동작을 하는 경우 반도체 메모리 장치(1300)는 제2리프레쉬 모드로 동작한다.

<102> 도 15는 본 발명의 제4실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다. 도 15를 참조하면, 반도체 메모리 장치(1500)는 제1커맨드 디코더(611), 제2커맨드 디코더(613), 제어신호 발생회로(633), DLL (640), DLL전압 발생기(650), 로우 디코더(660) 및 오실레이터(670)를 구비한다.

<103> 제1커맨드 디코더(611)는 반도체 메모리 장치(1500)를 리프레쉬하기 위한 제1명령들(REFRESH1)을 디코딩하여 제1리프레쉬 신호(PREF1)를 발생하고, 제2커맨드 디코더(613)는 DLL(340)로 공급되는 전원전압(IVC_DLL)을 차단하기 위한 제2명령들(REFRESH2)을 디코딩하여 제2리프레쉬 신호(PREF)를 발생한다.

<104> 제어신호 발생회로(633)는 제1리프레쉬 신호(PREF1)와 제2리프레쉬 신호 (PREF2)에 응답하여 리셋신호(RESET) 및 전압제어신호(POFF)를 발생한다.

<105> 제1명령들(REFRESH1) 및 제2명령들(REFRESH2)각각은 대응되는 입력 핀(미 도시)으로 각각 입력되는 외부 클락신호, 칩 선택신호, 로우 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호, 및 가입 인에이블 신호를 포함한다(도 2참조).

<106> 도 16은 본 발명의 제5실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다. 제2리프레쉬 신호(PREF2)는 별도의 외부 핀(1601)을 통하여 제어신호 발생회로(633)로 입력된다.



- <107> 도 17은 도 15 및 도 16에 도시된 DLL 제어신호 발생회로의 회로도를 나타낸다. 제어신호 발생회로(633)는 제1리프레쉬 신호(PREF1)와 제2리프레쉬 신호 (PREF2)를 논리 조합하여 리셋신호(RESET) 및 전압제어신호(POFF)를 발생시킨다.
- <108> 인버터(1715)는 제1리프레쉬 명령신호(PREF1)를 반전시키고, 인버터(1717)는 인버터(1715)의 출력신호를 반전시킨다. 인버터(1719)는 제2리프레쉬 신호(PREF2)를 반전시키고, NAND게이트(1721)는 제1리프레쉬 명령신호(PREF1) 및 인버터(1719)의 출력신호를 부정 논리곱한다. 인버터(1723)는 NAND게이트(1721)의 출력신호를 반전시켜 중간신호(PSELF D)를 발생한다.
- <109> 다수개의 인버터들(1701, 1703, 1705)은 서로 직렬로 접속되고, 인버터 (1701)는 중간신호(PSELF D)를 반전시킨다. NOR 게이트(1707)는 인버터(1705)의 출력신호 및 중간신호(PSELF D)를 부정 논리합하고, 그 결과로서 리셋신호(RESET)를 발생한다.
- <110> 인버터(1709)는 NOR게이트(1707)의 출력신호를 반전시키고, NAND게이트 (1711)는 인버터(1709)의 출력신호 및 NAND 게이트(1713)의 출력신호를 부정 논리곱하고, 그 결과로서 전원제어신호(POFF)를 발생한다. NAND 게이트(1713)는 인버터 (1717)의 출력신호 및 전원제어신호(POFF)를 부정 논리곱한다.
- <111> 도 18은 본 발명의 제4실시에 및 제5실시에에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 타이밍도이다. 도 15 내지 도 18을 참조하여 제4실시에 및 제5실시에에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하면 다음과 같다.
- <112> 각 반도체 메모리 장치(1500, 1600)가 제1명령들(REFRESH1)의 조합에 응답하여 제1리프레쉬 모드로 진입하는 경우, 제1리프레쉬 신호(PREF1)는 활성화된다. 따라서 제어신



호 발생회로(633)는 활성화된 제1리프레쉬 신호(PREF1) 및 비활성화된 제2리프레쉬 신호(PREF2)에 응답하여 비활성화된 리셋신호(RESET) 및 비활성화된 전원제어신호(POFF)를 발생한다. 여기서 제1리프레쉬 신호(PREF1)는 도 6에 도시된 제1리프레쉬 신호(PREF)와 동일하다.

<113> 도 7에 도시된 DLL(640)의 NAND 게이트(6411) 및 인버터(6412)는 활성화된 제1리프레쉬 신호(PREF1)에 응답하여 외부 클락신호(ECLK)가 입력되는 것을 차단하므로, 클락신호(CLK_DLL)는 논리 로우로 된다.

<114> 따라서 가변지연 유닛(6430)은 제1리프레쉬 모드로 진입하기 전에 설정된 동기정보를 갱신하지 않고 그대로 유지한다. 또한, DLL전압 발생기(650)는 기준 전압(VREF_DLL) 레벨에 상응하는 전원전압(IVC_DLL)을 DLL(640)로 공급하므로, DLL(640)에 설정된 동기정보는 유지된다.

<115> 반도체 메모리 장치(1500)가 제2명령들(REFRESH2)의 조합에 응답하여 제2리프레쉬 모드로 진입하는 경우, 제2리프레쉬 신호(PREF2)는 활성화된다. 여기서 제2리프레쉬 신호(PREF2)는 전원제어신호(POFF)를 활성화시켜 DLL전원발생기(650)를 비활성화시키기 위한 신호이다.

<116> 그리고 활성화된 제2리프레쉬 신호(PREF2)는 핀(1601)을 통하여 반도체 메모리 장치(1600)의 제어신호 발생장치(633)로 입력된다.

<117> 따라서 제어신호 발생회로(633)는 활성화된 제1리프레쉬 신호 및 제2리프레쉬 신호(PREF1, PREF2)에 응답하여 펄스 형태의 리셋신호(RESET) 및 활성화된 전원제어신호

(POFF)를 발생한다. 따라서 DLL(640)은 펄스 형태의 리셋신호(RESET)에 응답하여 초기화된다. 따라서 DLL(640)에 설정된 동기정보는 모두 소실된다.

<118> 또한, 전압 발생기(650)는 접지전압레벨(VSS)에 상응하는 전원전압(IVC_DLL)을 DLL(640)로 공급하므로, DLL(640)은 비활성화된다. 따라서 각 반도체 메모리 장치(1500, 1600)가 제2리프레쉬 모드로부터 빠져나온 후, DLL(640)은 반드시 파워-업 시퀀스를 수행해야 한다.

<119> 도 19는 본 발명의 제6실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하기 위한 블록도이다. 반도체 메모리 장치(1900)는 커맨드 디코더(610), 제어신호 발생회로(635), DLL(341), DLL전압 발생기(650), 로우 디코더(660) 및 오실레이터(671)를 구비한다.

<120> 제어신호 발생회로(635)는 제1리프레쉬 모드가 소정 시간이상 지속되는 경우 오실레이터(671)의 출력신호(POSC2)에 응답하여 제2리프레쉬 모드로 진입한다. 오실레이터(671)는 소정의 타이머를 이용하여 상기 소정 시간을 측정하고, 그 결과(POSC2)를 제어신호 발생회로(635)로 출력한다. 상기 소정 시간은 사용규약(specification)에 의하여 설정될 수 있다. 상기 소정 시간은 도 22에 도시된 바와 같이 리프레쉬의 회수를 계수하여 설정할 수도 있다.

<121> 도 20은 도 19에 도시된 제어신호 발생회로의 회로도를 나타낸다. 제어신호 발생회로(635)는 제1리프레쉬 신호(PREF1) 및 제2리프레쉬 신호(POSC2)의 조합에 응답하여 리셋신호(RESET) 및 전원제어신호(POFF)를 발생한다.

- <122> 인버터(1905)는 제2리프레쉬 신호(POSC2)를 반전시키고, NAND 게이트(1907)는 인버터(1905)의 출력신호 및 제1리프레쉬 신호(PREF1)를 부정 논리곱하고, 인버터(1909)는 NAND 게이트(1907)의 출력신호를 반전시켜 중간신호(PREF_DLL)를 발생한다.
- <123> 다수개의 인버터들(1917, 1921, 1923)은 서로 직렬로 접속되고, 인버터(1917)는 중간신호(PREF_DLL)를 반전시키고, NOR게이트(1925)는 중간신호(PREF_DLL) 및 인버터(1923)의 출력신호를 부정 논리합(NOR)하여 리셋신호(RESET)를 발생한다.
- <124> 인버터(1901)는 제1리프레쉬 신호(PREF1)를 반전시키고, 인버터(1923)는 인버터(1901)의 출력신호를 반전시키고, NAND 게이트(1911)는 인버터(1903)의 출력신호 및 NAND 게이트(1913)의 출력신호를 수신한다.
- <125> 인버터(1915)는 NOR게이트(1925)의 출력신호를 반전시키고, NAND게이트 (1913)는 인버터(1915)의 출력신호 및 NAND게이트(1911)의 출력신호를 수신하여 전원제어신호(POFF)를 발생한다.
- <126> 도 21은 도 19에 도시된 DLL의 개략적인 회로도도를 나타낸다. DLL(641)은 위상 비교기(6420), 가변지연 유닛(6430) 및 복사 지연 유닛(6440)을 구비한다.
- <127> 도 21에 도시된 위상 비교기(6420), 가변지연 유닛(6430) 및 복사 지연유닛(6440)의 구조 및 동작은 도 7에 도시된 위상 비교기(6420), 가변지연 유닛(6430) 및 복사 지연 유닛(6440)의 구조 및 동작과 동일하다.
- <128> 중간신호(PREF_DLL)가 활성화되는 경우 인버터(6410)는 논리 로우를 출력하므로, 클락신호(CLK_DLL)는 외부 클락신호(ECLK)의 상태에 무관하게 논리 로우이다. 따라서 가변지연유닛(6430)에 설정된 동기정보(또는 락킹 정보)는 그대로 유지된다.

- <129> 도 22는 본 발명의 제6실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 나타내는 타이밍도이다. 도 19 내지 도 22를 참조하여 본 발명의 제6실시예에 따른 리프레쉬 모드에서 DLL을 제어하는 방법을 설명하면 다음과 같다.
- <130> 반도체 메모리 장치(1900)가 명령들(REFRESH)의 조합에 응답하여 제1리프레쉬 모드로 진입하는 경우, 제1리프레쉬 신호(PREF)는 활성화된다.
- <131> 따라서 제어신호 발생회로(635)는 활성화된 제1리프레쉬 신호(PREF) 및 비활성화된 제2리프레쉬 신호(POSC2)에 응답하여 활성화된 중간신호(PREF_DLL), 비활성화된 리셋신호(RESET) 및 비활성화된 전원제어신호(POFF)를 발생한다.
- <132> 도 21에 도시된 DLL(640)의 인버터(6412)의 출력신호(CLK_DLL)는 중간신호(PREF_DLL)가 활성화되는 경우 외부 클락신호(ECLK)의 상태에 무관하게 논리 로우를 출력한다. 따라서 가변지연 유닛(6430)은 제1리프레쉬 모드로 진입하기 전에 설정된 동기 정보를 유지한다.
- <133> 또한, DLL전압 발생기(650)는 기준 전압(VREF_DLL)레벨에 상응하는 전원전압(IVC_DLL)을 DLL(640)로 공급하므로, DLL(640)은 외부 클락신호(ECLK)에 동기된 내부 클락신호(ICLK)를 계속하여 발생한다.
- <134> 오실레이터(671)는 소정의 타이머를 이용하여 제1리프레쉬의 지속시간을 측정하고, 그 측정결과에 따른 제2리프레쉬 명령신호(POSC2)를 제어신호 발생회로(335)로 출력한다. 제2리프레쉬 명령신호(POSC2)는 DLL전압 발생기(650)를 비활성화시키기 위한 신호이다.

<135> 제2리프레쉬 신호(POSC2)가 활성화되는 경우, 중간신호(PREF_DLL)는 비활성화되고, NOR게이트(1925)는 펄스 형태의 리셋 신호(RESET)를 발생한다. 전원제어신호(POFF)는 리셋신호(RESET)에 응답하여 활성화된다.

<136> 따라서 도 21에 도시된 DLL(641)은 펄스 형태의 리셋신호(RESET)에 응답하여 초기화되므로, DLL(641)에 설정된 동기정보는 모두 소실된다. 또한, 도 4에 도시된 DLL 전압발생기(140)는 활성화된 전원제어신호(POFF)에 응답하여 접지전압레벨(VSS)에 상응하는 전원전압(IVC_DLL)을 DLL(640)로 공급하므로, DLL (640)은 비활성화된다. 따라서 반도체 메모리 장치(1900)가 제2리프레쉬 모드로부터 빠져나온 후, DLL(641)은 반드시 파워-업 시퀀스를 수행해야 한다.

<137> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<138> 상술한 바와 같이 본 발명에 따른 지연동기루프를 구비하는 반도체 메모리 장치가 리프레쉬 모드에서 동작하는 경우, 제1리프레쉬 및 제2리프레쉬 모드에 따라 상기 DLL에 설정된 동기정보(즉, 외부 클락신호에 동기된 내부 클락신호를 출력하기 위한 락킹정보)는 유지되거나 또는 상기 동기정보는 리셋된다.

<139> 따라서 본 발명에 따른 지연동기루프를 구비하는 반도체 메모리 장치는 선택적으로 DLL을 리셋할 수 있으므로, 리프레쉬 동작을 수행하는 반도체 메모리 장치의 전력소모는 극소화될 수 있다.

<140> 따라서 본 발명에 따른 지연동기루프를 구비하는 반도체 메모리 장치는 소정시간이상으로 제1리프레쉬 모드가 지속되는 경우에만 제2리프레쉬 모드로 진입할 수 있으므로, 반도체 메모리 장치의 전력소모를 극소화할 수 있다.

<141> 본 발명에 따른 지연동기루프의 동작제어방법은 외부로부터 입력되는 명령들의 조합에 의하여 발생하는 리프레쉬 모드에 따라 DLL에 저장된 동기정보를 유지하거나 또는 상기 동기정보를 리셋할 수 있으므로, 반도체 메모리 장치의 효율 및 성능을 증가시키는 효과가 있다.

【특허청구범위】**【청구항 1】**

지연동기루프를 구비하는 반도체 장치에 있어서,
제 1리프레쉬 모드; 및
제2리프레쉬 모드를 구비하며,
상기 지연동기루프는 상기 제1리프레쉬 모드에서 상기 제1리프레쉬 모드로 진입하
기 전에 설정된 동기정보를 유지하고,
상기 지연동기루프는 상기 제2리프레쉬 모드에서 리셋되는 반도체 장치.

【청구항 2】

지연동기루프를 구비하는 반도체 장치에 있어서,
제 1리프레쉬 모드; 및
제2리프레쉬 모드를 구비하며,
상기 제1리프레쉬 모드에서 상기 지연동기루프는 외부 클락신호에 동기된 제1내부
클락신호를 출력하고,
상기 제2리프레쉬 모드에서 상기 지연동기루프는 일정한 전압레벨을 갖는 제2내부
클락신호를 출력하는 반도체 장치.

【청구항 3】

제1항 또는 제2항에 있어서, 상기 지연동기루프는 상기 반도체 장치가 상기 제2리
프레쉬 모드로부터 빠져나온 경우만 파워-업 시퀀스를 수행하는 반도체 장치.



【청구항 4】

제1항 또는 제2항에 있어서, 상기 반도체 장치는 상기 제1리프레쉬 모드가 소정시간이상 지속된 후 상기 제2리프레쉬 모드로 진입하는 반도체 장치.

【청구항 5】

반도체 장치에 있어서,

리프레쉬 모드에서 선택신호에 응답하여 리셋신호를 발생하는 제어신호 발생회로;
및

상기 리프레쉬 모드에서 상기 리셋신호에 응답하여 외부 클락에 동기된 내부 클락신호를 발생하거나 또는 리셋되는 지연동기루프를 구비하는 반도체 장치.

【청구항 6】

제5항에 있어서,

상기 반도체 장치는 상기 지연동기 루프로 전원전압을 공급하는 전압 발생기를 더 구비하고,

상기 제어신호 발생회로는 상기 리프레쉬 모드에서 상기 리셋신호에 응답하여 전원 제어신호를 더 발생하고,

상기 전압발생기는 상기 전원제어신호에 응답하여 상기 전원전압을 상기 지연 동기 루프에 공급하거나 또는 비활성화되는 반도체 장치.

【청구항 7】

제5항에 있어서, 상기 선택신호는 MRS명령들 및 소정의 어드레스의 조합에 의하여 발생되는 반도체 장치.

**【청구항 8】**

제7항에 있어서, 상기 MRS명령들은 상기 외부 클락신호, 칩 선택신호, 로우 어드레스 스트로브 신호, 컬럼 어드레스 스트로브 신호, 및 기입 인에이블 신호를 포함하는 반도체 장치.

【청구항 9】

제5항에 있어서, 상기 선택신호는 상기 반도체 장치의 외부로부터 입력되는 반도체 장치.

【청구항 10】

제5항에 있어서, 상기 선택신호는 퓨즈의 절단여부에 따라 발생하는 반도체 장치.

【청구항 11】

지연동기루프의 동작을 제어하는 방법에 있어서,

선택신호를 발생하는 단계;

상기 선택신호에 응답하여 상기 지연동기루프를 구비하는 반도체 장치가 제1 리프레쉬 모드 및 제2리프레쉬 모드 중에서 어느 하나의 모드를 수행하는 단계; 및

상기 제1리프레쉬 모드에서 상기 지연동기루프는 외부 클락신호에 동기된 제1내부 클락신호를 출력하고,

상기 제2리프레쉬 모드에서 상기 지연동기루프는 일정한 전압레벨을 갖는 제2내부 클락신호를 출력하는 단계를 구비하는 지연 동기 루프의 동작 제어방법.

【청구항 12】

제11항에 있어서, 상기 제2리프레쉬 모드에서 상기 지연동기루프는 리셋되는 지연 동기루프의 동작 제어방법.

【청구항 13】

제12항에 있어서, 상기 지연동기루프는 상기 반도체 장치가 상기 제2리프레쉬 모드로부터 빠져나온 경우 파워-업 시퀀스를 수행하는 지연동기루프의 동작 제어방법.

【청구항 14】

지연동기 루프를 구비하는 반도체 장치의 리프레쉬 동작을 제어하는 방법에 있어서,

리프레쉬 모드에서 선택신호에 응답하여 리셋신호를 발생하는 단계; 및

상기 리프레쉬 모드에서 상기 지연동기 루프는 상기 리셋신호에 응답하여 상기 리프레쉬 모드로 진입하기 전에 상기 지연동기루프에 저장된 동기정보를 유지하거나 또는 리셋되는 프로세싱 단계를 구비하는 반도체 장치의 리프레쉬 동작 제어방법.

【청구항 15】

제14항에 있어서, 상기 리프레쉬 동작 제어방법은,

상기 지연동기루프로 전원전압을 공급하는 단계를 더 구비하고,

상기 리셋신호를 발생하는 단계는 상기 리프레쉬 모드에서 상기 리셋신호에 응답하여 전원제어신호를 발생하는 단계를 더 구비하고,

상기 프로세싱 단계는 상기 전원제어 신호에 응답하여 상기 전원전압을 상기 지연 동기루프에 공급하거나 또는 상기 지연동기루프를 비활성화시키는 단계를 구비하는 반도체 장치의 리프레쉬 동작 제어방법.

【청구항 16】

반도체 장치에 있어서,
 지연동기루프 ;
 상기 지연동기루프에 전원전압을 공급하는 전압발생기;
 리프레쉬 모드에서 선택신호에 응답하여 발생된 리셋신호를 상기 지연동기 루프로 출력하는 제어신호 발생회로를 구비하며,
 상기 지연동기루프는,
 상기 리셋신호에 응답하여 상기 리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 또는 리셋되는 반도체 장치.

【청구항 17】

반도체 장치에 있어서,
 지연동기루프 ;
 상기 지연동기루프에 전원전압을 공급하는 전압 발생기;
 명령들을 디코딩하여 상기 반도체 장치의 리프레쉬 모드의 시작과 종료를 제어하기 위한 리프레쉬 명령신호를 발생하는 커멘드 디코더;
 MRS명령들 및 소정의 어드레스를 디코딩하여 선택신호를 발생하는 선택신호 발생회로; 및

상기 리프레쉬 명령신호 및 상기 선택신호에 응답하여 발생된 리셋신호를 상기 지연동기루프로 출력하는 제어신호 발생회로를 구비하며,

상기 지연동기루프는,

상기 리셋신호에 응답하여 상기 리프레쉬 모드가 시작되기 전에 설정된 동기정보를 유지하거나 리셋되는 반도체 장치.

【청구항 18】

제16항 또는 제17항에 있어서,

상기 제어신호 발생회로는 상기 리프레쉬 모드에서 상기 리셋신호에 응답하여 전원제어신호를 더 발생하고,

상기 전압발생기는 상기 리프레쉬 모드에서 상기 전압제어신호에 응답하여 상기 전원전압을 상기 지연동기루프로 공급하거나 또는 비활성화되는 반도체 장치.

【청구항 19】

반도체 장치에 있어서,

지연동기루프 ;

상기 지연동기루프에 전원전압을 공급하는 전압 발생기;

명령들을 디코딩하여 상기 반도체 장치의 리프레쉬 모드의 시작과 종료를 제어하기 위한 리프레쉬 명령신호를 발생하는 커맨드 디코더;

선택신호를 수신하는 입력 핀; 및

상기 리프레쉬 명령신호 및 상기 선택신호에 응답하여 리셋신호를 상기 전압 발생기로 출력하는 제어신호 발생회로를 구비하며,

상기 지연동기루프는,

상기 리셋신호에 응답하여 상기 리프레쉬 모드가 시작되기 전에 설정된 동기정보를 유지하거나 리셋되는 반도체 장치.

【청구항 20】

반도체 장치에 있어서,

지연동기루프 ;

상기 지연동기루프에 전원전압을 공급하는 전압 발생기;

제 1명령들을 디코딩하여 제1리프레쉬 명령신호를 발생하는 제1커멘드 디코더;

제2명령들을 디코딩하여 제2리프레쉬 명령신호를 발생하는 제2커멘드 디코더;

상기 제1리프레쉬 명령신호와 상기 제2리프레쉬 명령신호에 응답하여 리셋 신호 및 전압제어신호를 출력하는 제어신호 발생회로를 구비하며,

상기 지연동기루프는 상기 리셋신호에 응답하여 상기 리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 리셋되는 것을 반도체 장치.

【청구항 21】

반도체 장치에 있어서,

지연동기루프 ;

상기 지연동기루프에 전원전압을 공급하는 전압발생기;

명령들을 디코딩하여 제1셀프 리프레쉬 명령신호를 발생하는 커멘드 디코더;

제2리프레쉬 명령신호를 수신하는 편;

상기 제1리프레쉬 신호와 상기 제2리프레쉬 신호에 응답하여 리셋신호 및 전압제어신호를 출력하는 제어신호 발생회로를 구비하며,

상기 지연동기루프는 상기 리셋신호에 응답하여 상기 리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 리셋되는 것을 반도체 장치.

【청구항 22】

반도체 장치에 있어서,

지연동기루프 ;

상기 지연동기루프에 전원전압을 공급하는 전압 발생기;

명령들을 디코딩하여 상기 반도체 장치의 제1리프레쉬 모드의 시작과 종료를 제어하기 위한 제1리프레쉬 명령신호를 발생하는 커맨드 디코더;

상기 리프레쉬 명령신호에 응답하여 동작을 시작하고 소정의 펄스를 주기적으로 발생하고, 상기 제1리프레쉬 모드의 지속시간을 판단하고 그 판단결과로서 제2리프레쉬 모드의 시작을 지시하는 제2리프레쉬 명령신호를 발생하는 오실레이터;

상기 제1리프레쉬 신호 및 상기 제2리프레쉬 신호에 응답하여 리셋신호 및 전원제어신호를 발생하는 제어신호 발생회로를 구비하며,

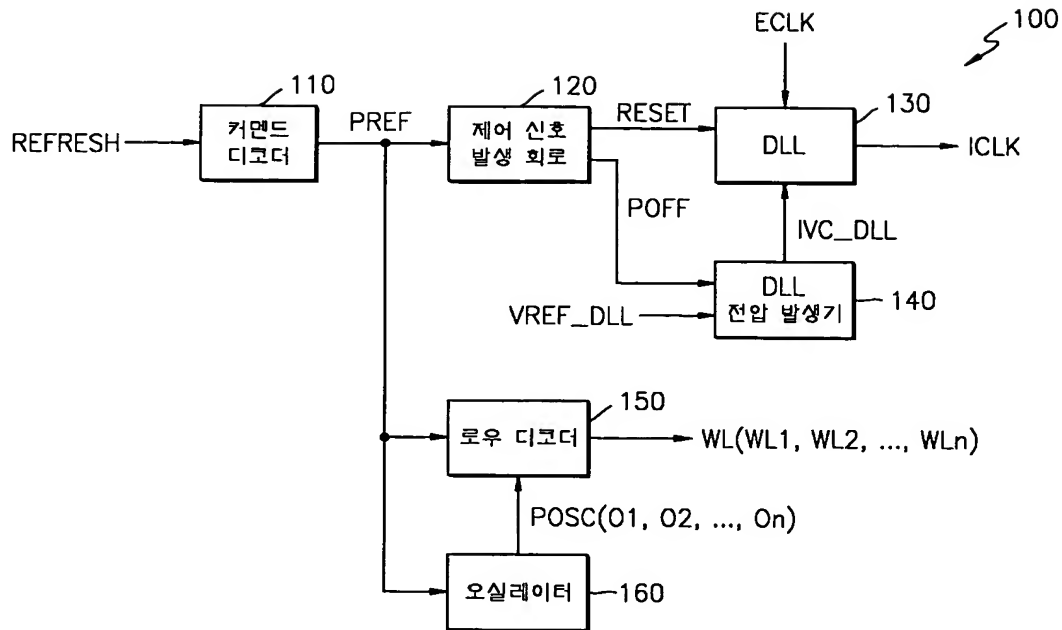
상기 지연동기루프는 상기 리셋신호에 응답하여 상기 제1리프레쉬 모드로 진입되기 전에 설정된 동기정보를 유지하거나 리셋되는 반도체 장치.

【청구항 23】

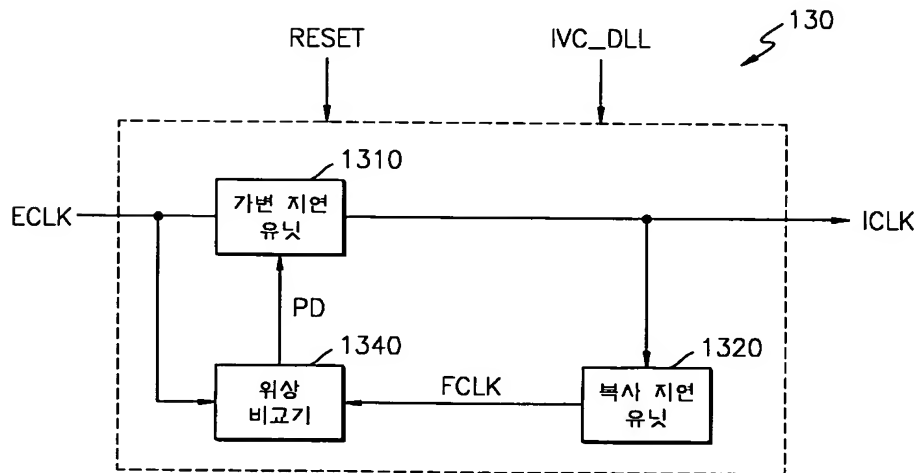
제20항 내지 제22항 중의 어느 하나의 항에 있어서, 상기 전압발생기는 상기 지연동기루프가 리셋되는 경우 상기 전압제어신호에 응답하여 비활성화되는 반도체 장치.

【도면】

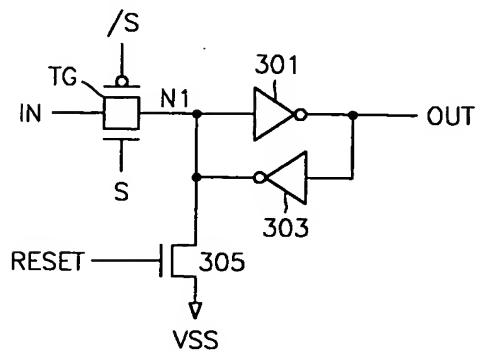
【도 1】



【도 2】

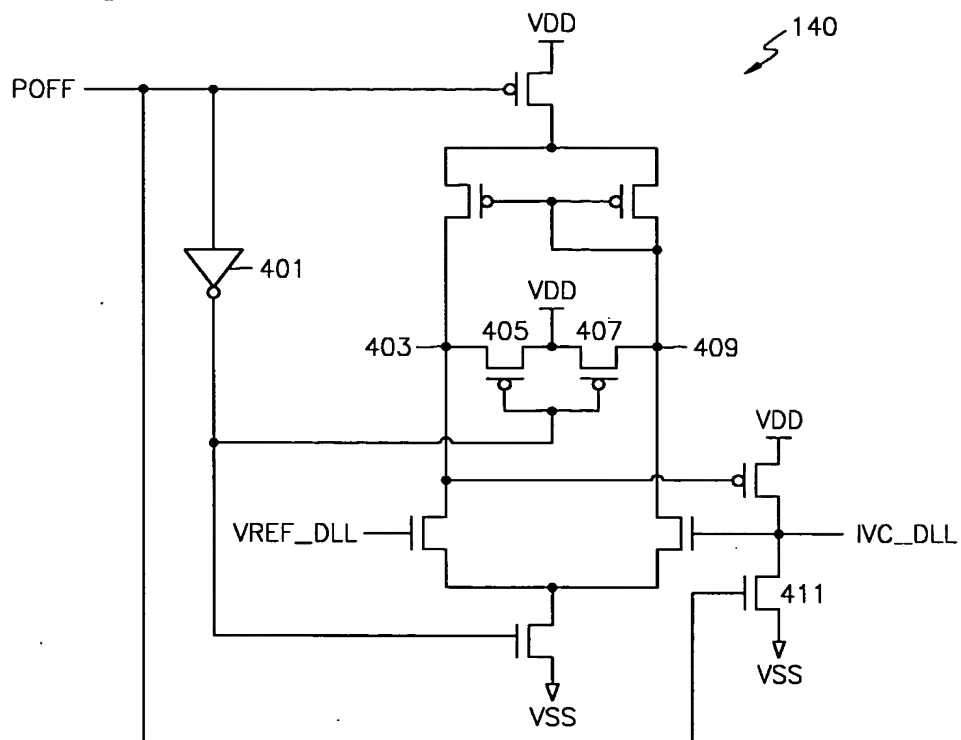


【도 3】

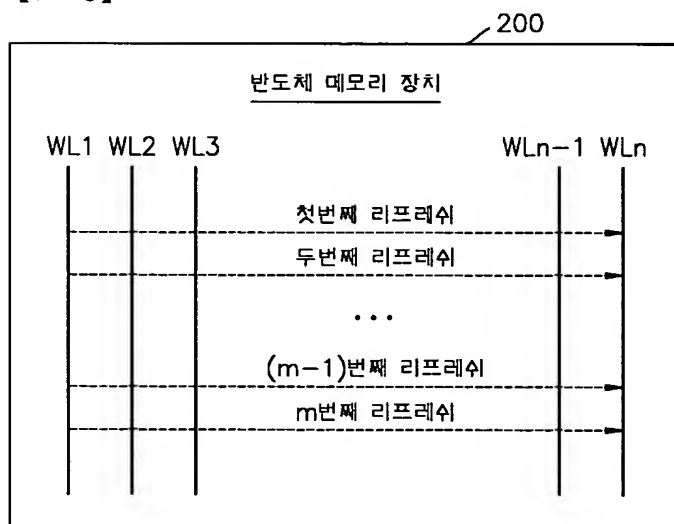




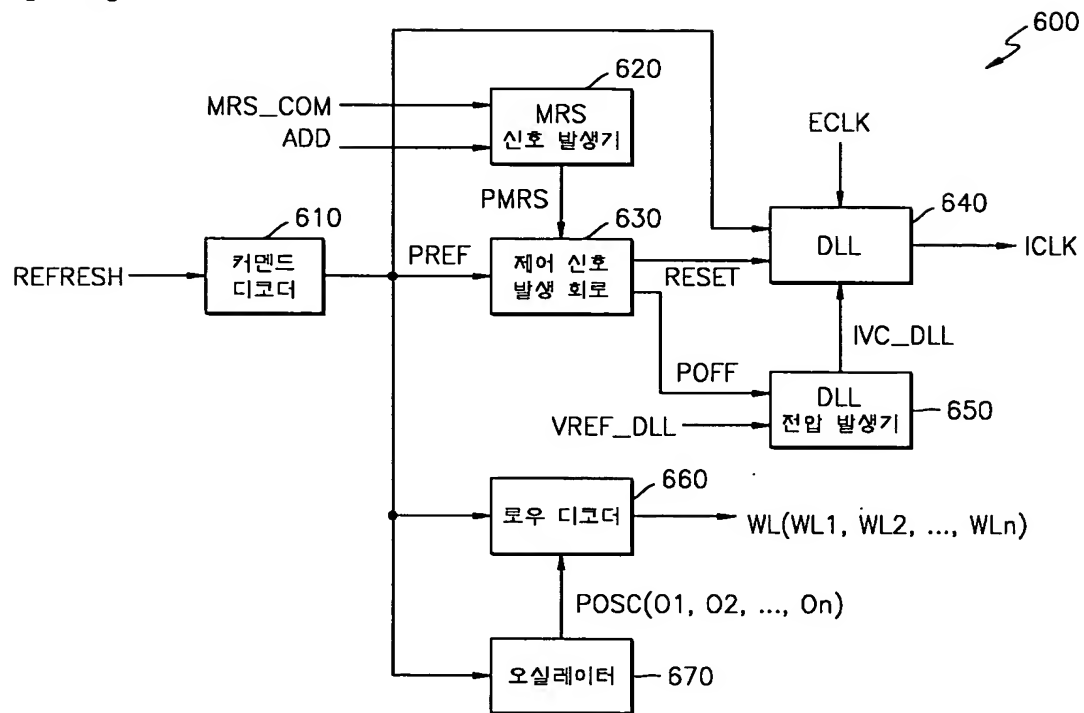
【도 4】



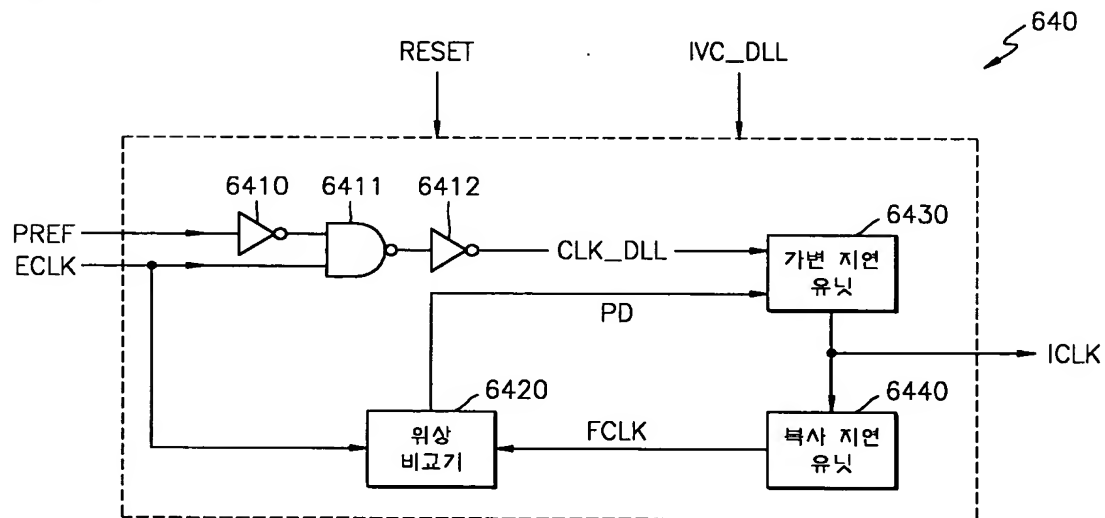
【도 5】



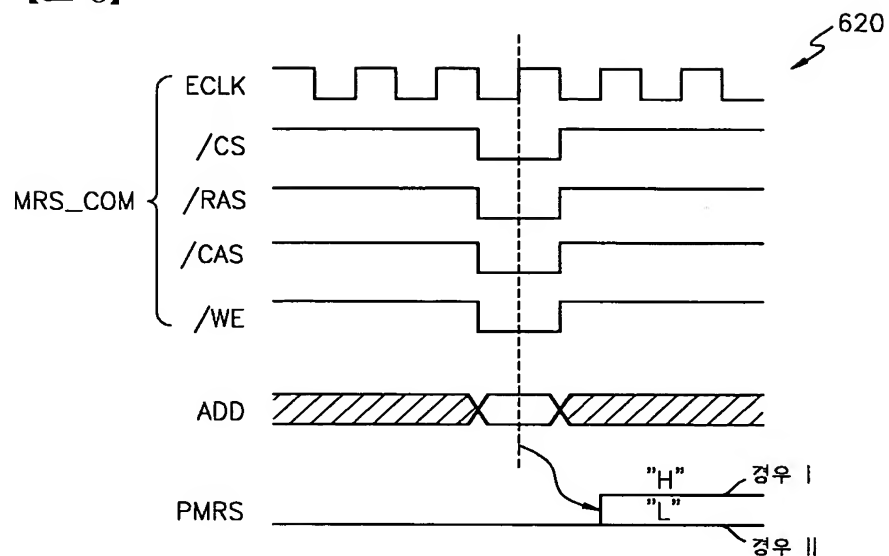
【도 6】



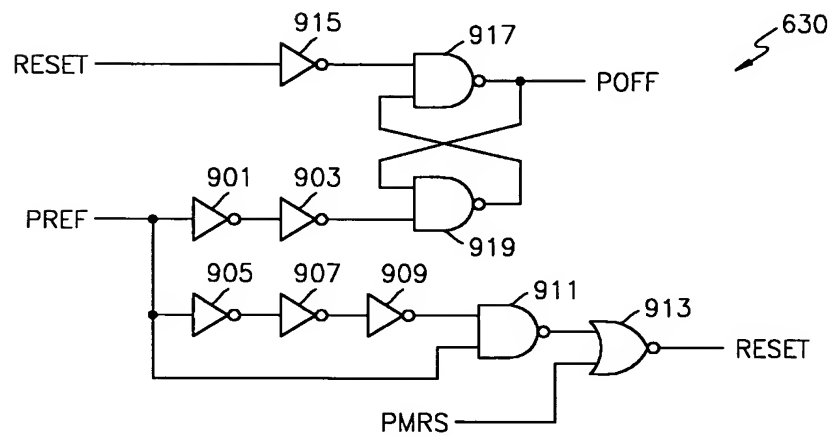
【도 7】



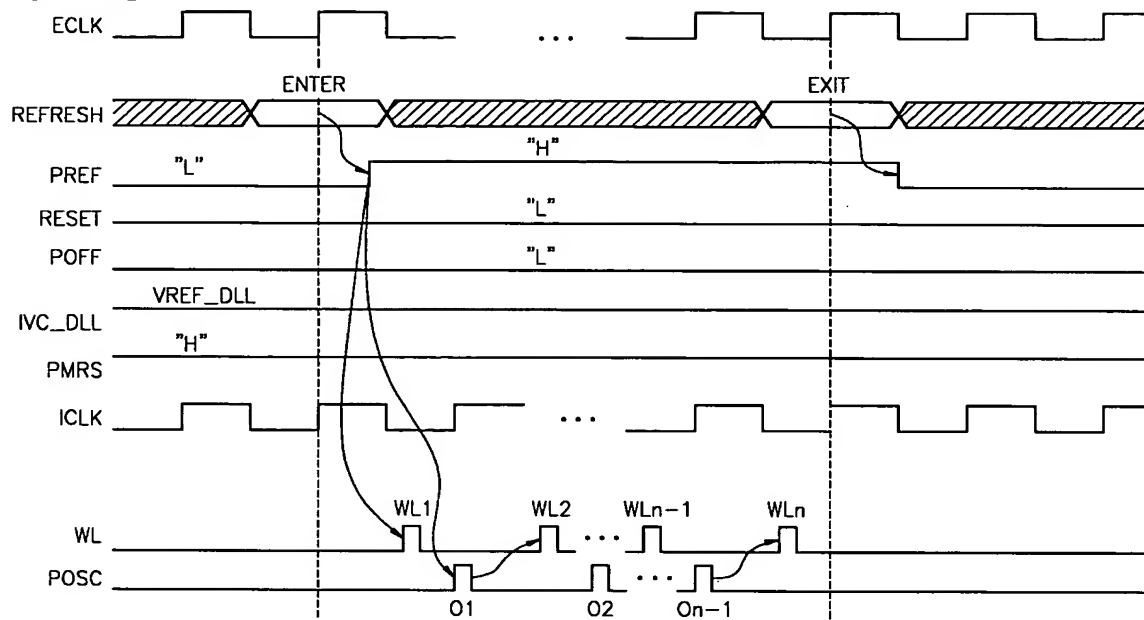
【도 8】



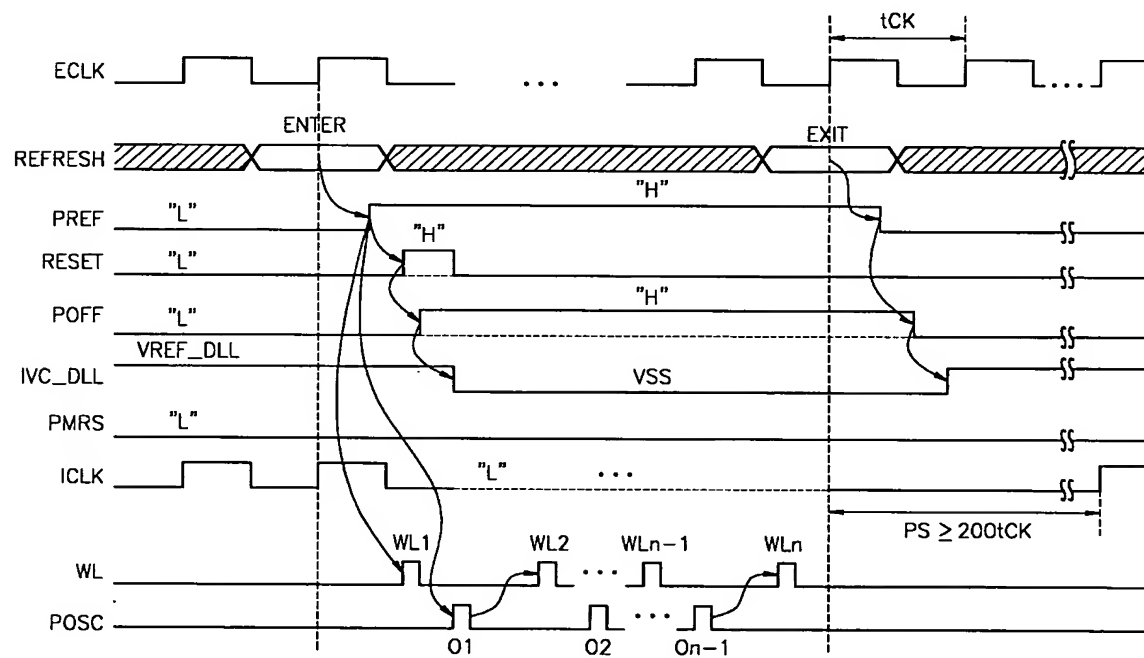
【도 9】



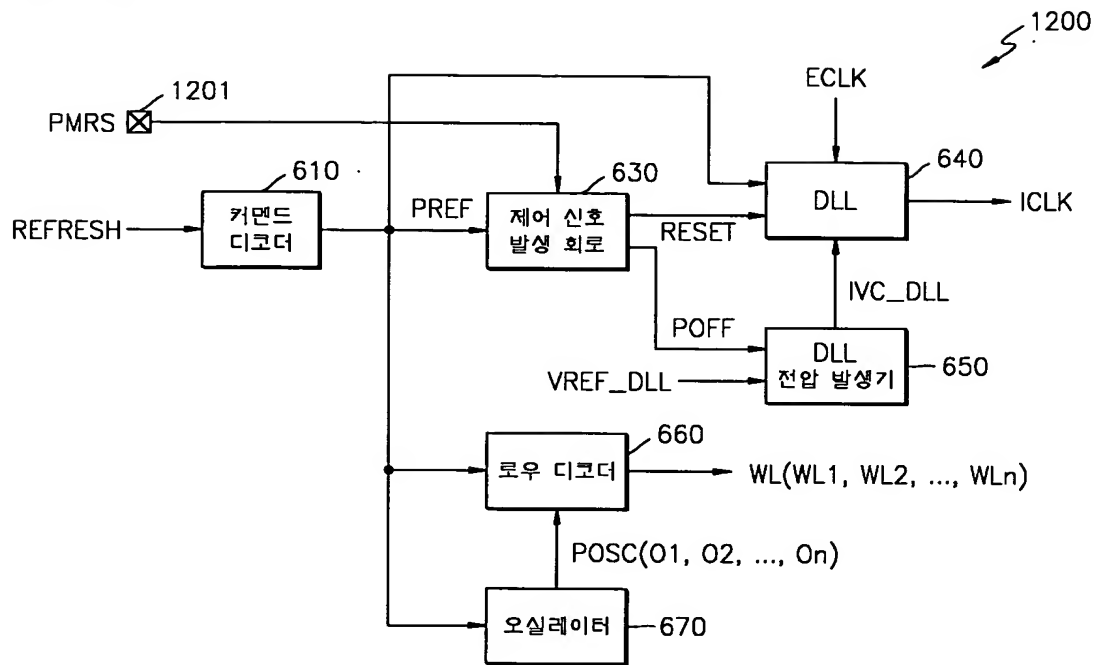
【도 10】



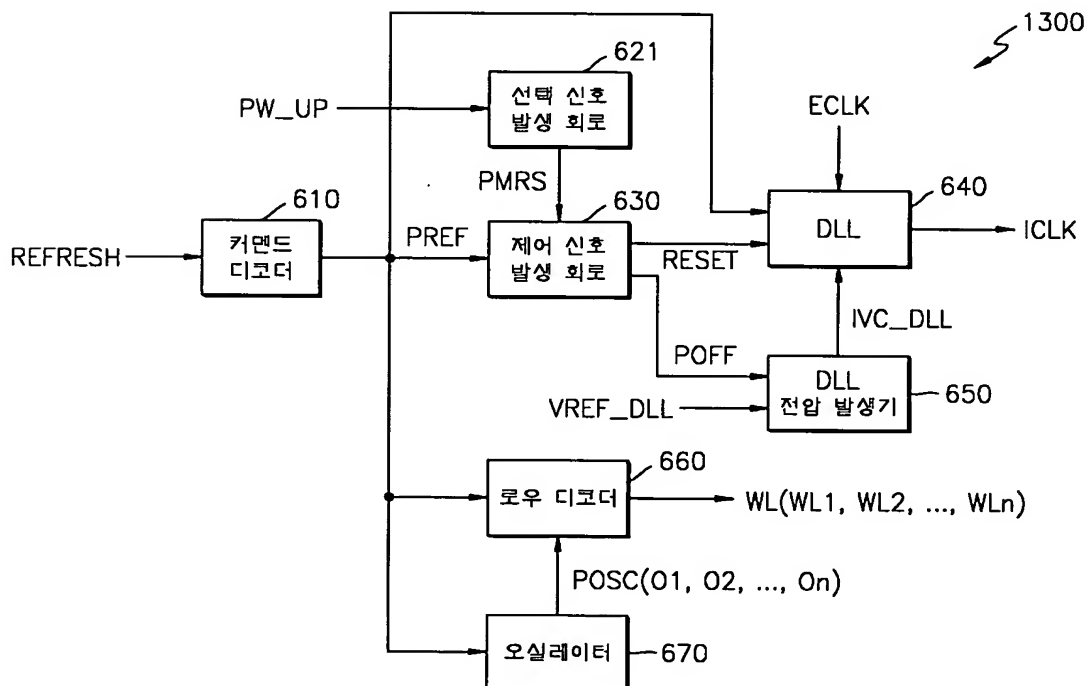
【도 11】



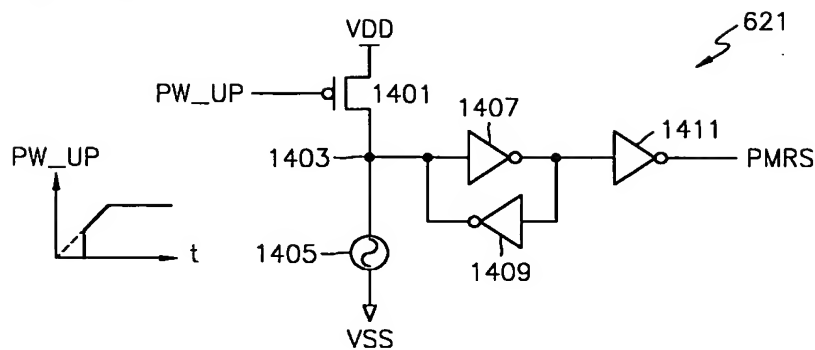
【도 12】



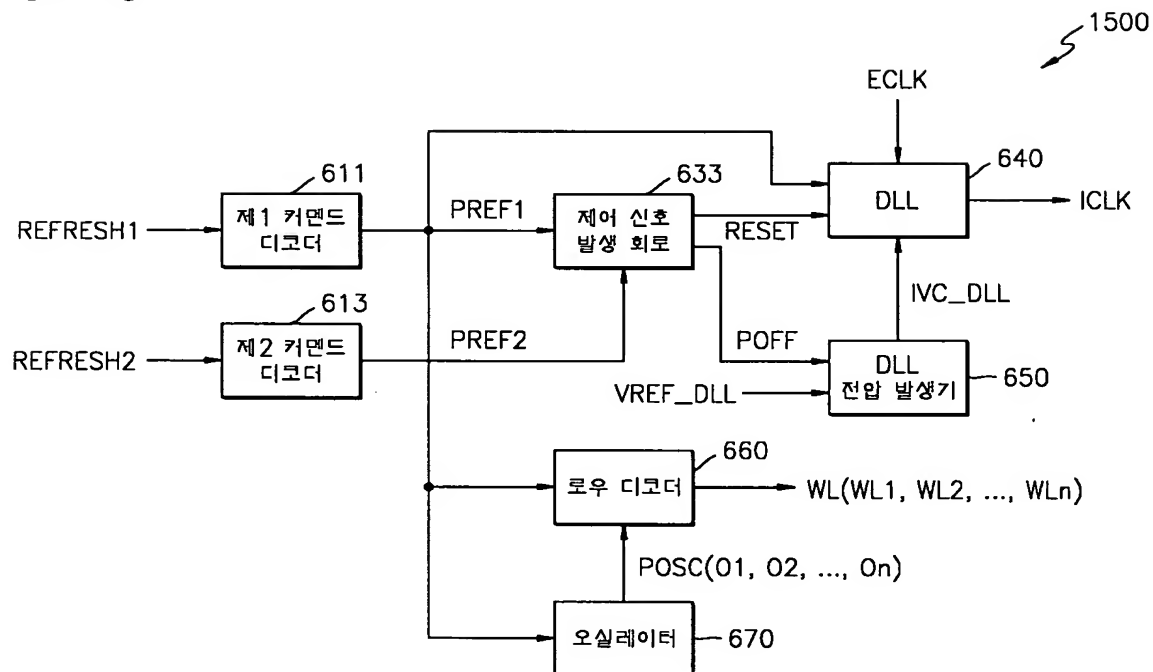
【도 13】



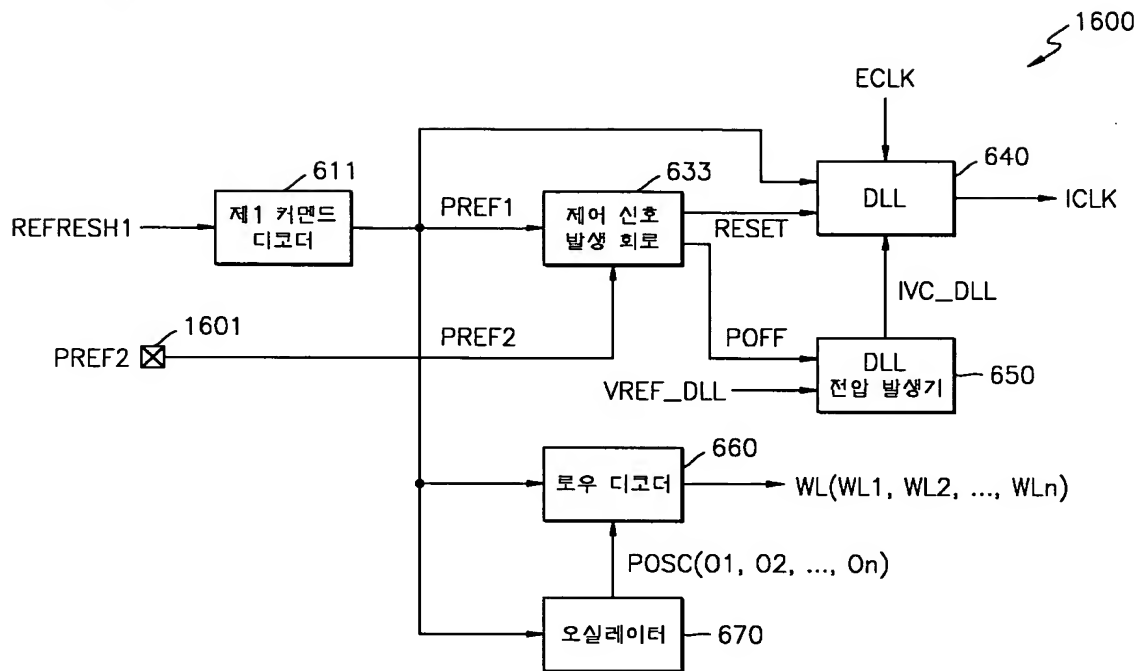
【도 14】



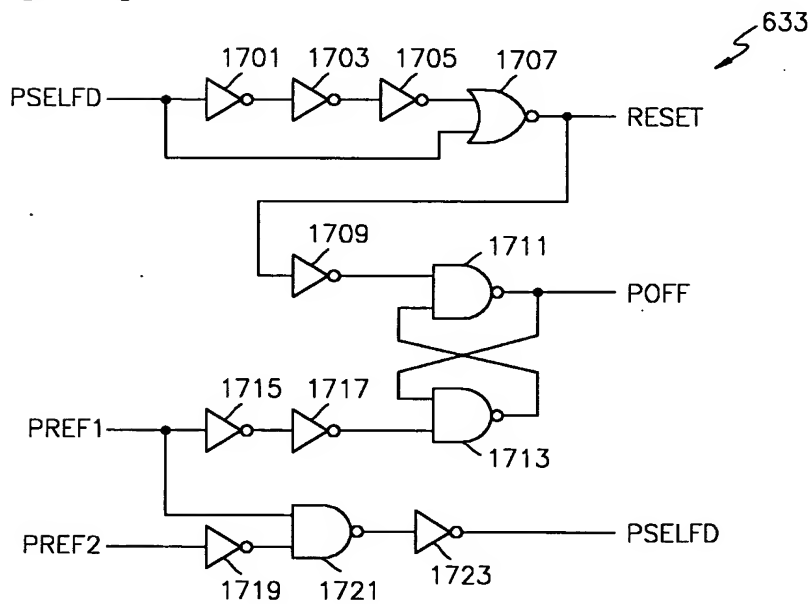
【도 15】



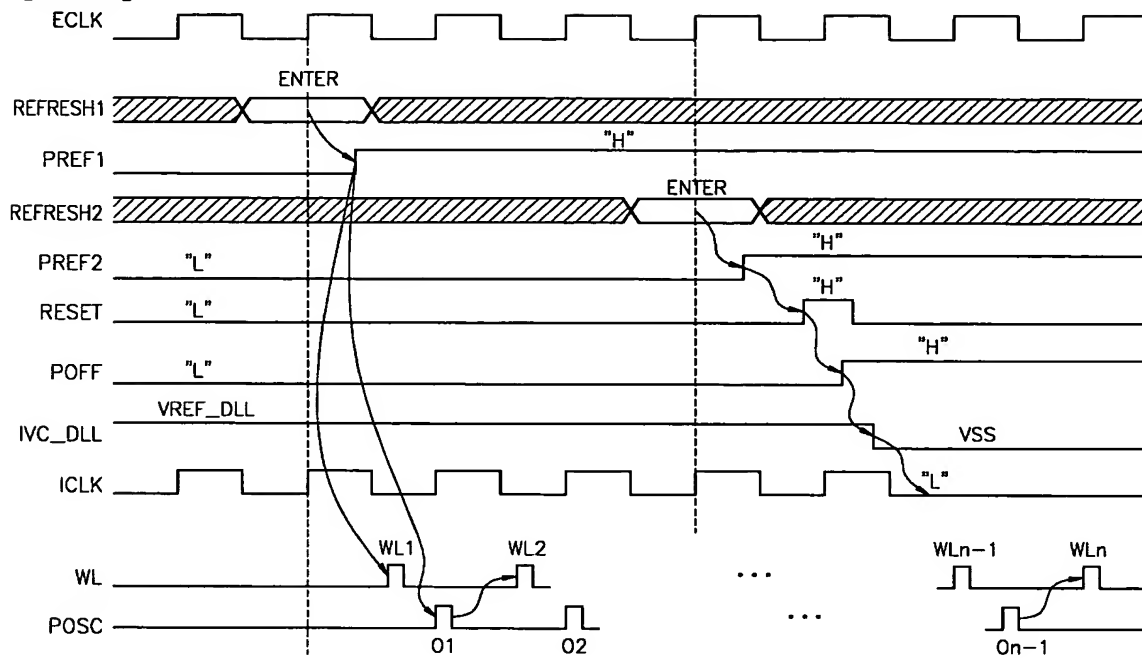
【도 16】



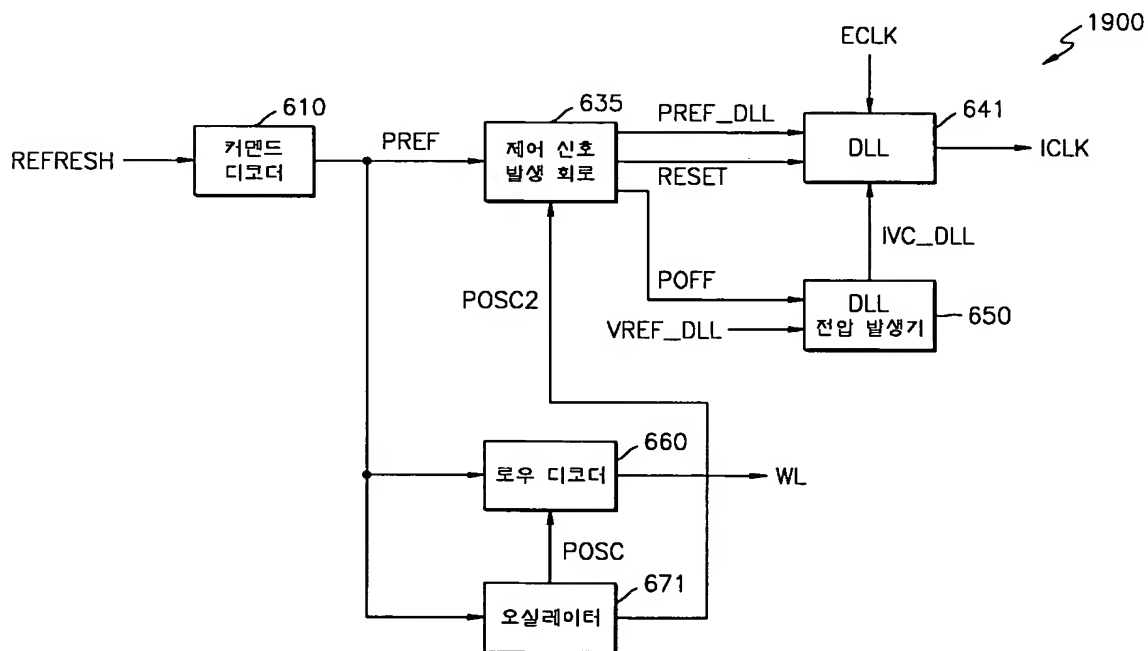
【도 17】



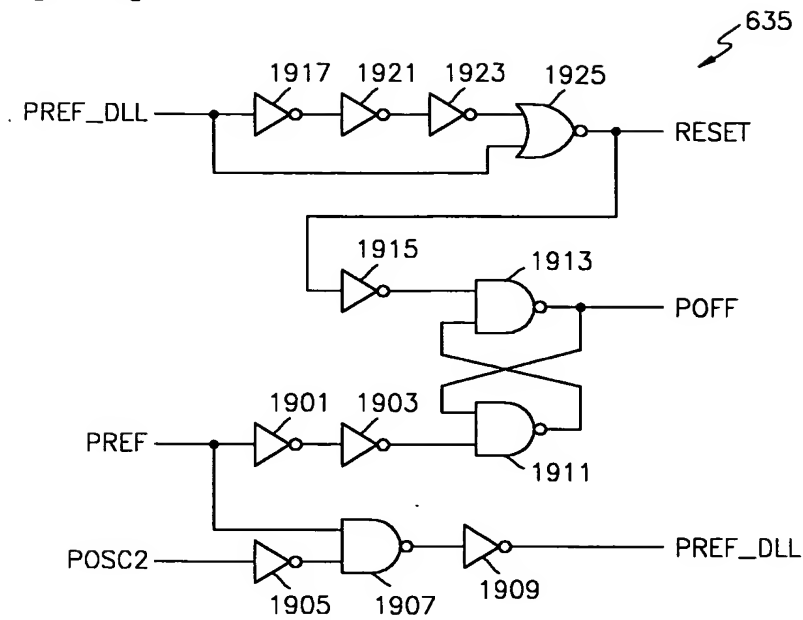
【도 18】



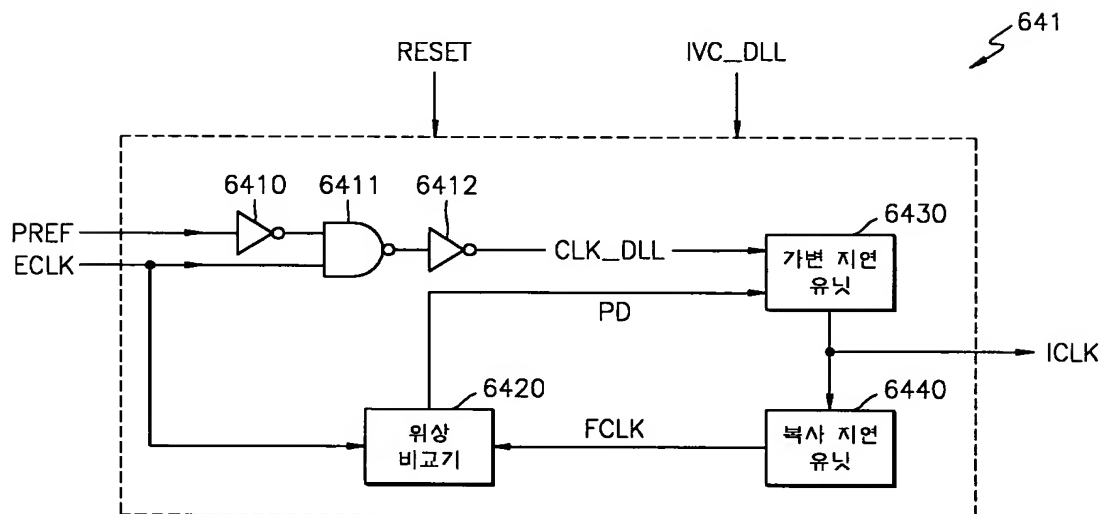
【도 19】



【도 20】



【도 21】



【도 22】

